

출력 일자: 2003/10/1

발송번호 : 9-5-2003-038198750

수신 : 서울 중구 남대문로2가 118 해운센터빌딩

발송일자 : 2003.09.30

본관 17층

제출기일 : 2003.11.30

백덕열 귀하

100-770

특허청 의견제출통지서

NOTICE OF REQUEST FOR SUBMISSION OF ARGUMENT

출원인

명칭 샤프 가부시키가이샤 (출원인코드: 519980961371)

주소 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고

대리인

성명 백덕열 외 1 명

주소 서울 중구 남대문로2가 118 해운센터빌딩본관17층

출원번호

10-2001-0044511

발명의 명칭

복수의 열 전극 구동회로 및 이를 포함하는 표시장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매월 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이 유]

이 출원의 특허청구범위 제1, 4-7항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아 래]

본원의 청구범위 제1, 4-7항에 기재된 발명은 타이밍 신호발생회로, 열전극 구동회로, 행전극 구동회로 등의 연결관계에 특징을 가지는 반면, 한국공개특허공보 제1998-25131호(1998.07.06)에서는 신호선 드라이버가 클럭신호 및 화소데이터 신호를 전송하는 이동배선에 의해 캐스케이드 접속되어 각각 클럭신호에 동기하여 화소데이터신호를 차례로 신호선에 공급하는 복수의 드라이버 IC에 대해서 나타나 있으며, 또한, 제1열 전극구동회로에서의 주사신호가 행전극 구동회로에서 캐스케이드 방식으로 전송되는 구성에 대해서 나타나 있습니다. 따라서, 본원발명은 타이밍 신호발생회로로부터의 신호 전송의 연결관계에 있어서 인용발명과 차이를 가지고 있으나, 인용발명에서도 복수의 드라이버 IC가 캐스케이드 방식으로 연결되는 것은 기재된 바가 있으며 제어신호가 캐스케이드 방식으로 전송되는 구성도 나타나 있으므로 이러한 제어신호의 연결을 행구동회로로 연결하는 것은 집적화에 따른 단순한 설계변경에 불과하며 상기 집적화에 대한 효과는 이미 당업자에게 충분히 알려진 효과로서 현저한 효과로 인정할 수 없습니다.

따라서, 본원발명은 상기 인용발명으로부터 용이하게 발명할 수 있습니다.

[첨 부]

첨부1 한국공개특허공보 1998-25131호(1998.07.06) 1부 끝.

출력 일자: 2003/10/1

2003.09.30

특허청

심사4국

영상기기심사담당관실

심사관 고종욱



<<안내>>

문의사항이 있으시면 ☎ 042-481-5989 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

특1998-025131

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

(11) 공개번호 특1998-025131

G02F 1/139

(43) 공개일자 1998년 07월 06일

(21) 출원번호

특1997-049842

(22) 출원일자

1997년 09월 24일

(30) 우선권주장

8-251593 1996년 09월 24일 일본(JP)

(71) 출원인

가부시키가이샤 도시바 니시무로 다이조

(72) 발명자

일본 가나가와켄 가와사키시 사미와미쿠 호리카와츠 72반치
시미즈 칸일본 가나가와켄 가와사키시 가와사키쿠 니산초 7반치 1 도시바 덴시 엔지
니머릴 가부시키가이샤 내

사사키 다케시

일본 가나가와켄 가와사키시 가와사키쿠 니산초 7반치 1 도시바 덴시 엔지
니머릴 가부시키가이샤 내

(74) 대리인

김명신, 염주석

실사청구 : 있음

(54) 액정표시장치

요약

본 발명은 복수의 액정화소가 매트릭스형상으로 배치되는 액정표시장치, 특히 화상을 표시하기 위해 이 액정화소의 전압을 제어하는 표시제어회로에 관한 것으로서, 액정표시장치는 복수의 액정화소의 매트릭스 어레이, 복수의 액정화소의 행을 따라서 형성되는 복수의 주사선, 및 복수의 액정화소의 열에 대응하여 형성되는 복수의 신호선을 갖는 액정패널과, 복수의 주사선의 각각을 통하여 1행의 액정화소를 선택하고 상기 복수의 신호선을 통하여 선택행의 액정화소의 전압을 제어하는 표시제어회로를 구비하고 표시제어회로는 복수의 신호선을 차례로 구동하는 신호선 드라이버를 포함하며, 신호선 드라이버는 클럭 신호 및 화소데이터 신호를 전송하는 이동배선에 의해 캐스케이드 접속되어 각각 클럭 신호에 동기하여 화소 데이터 신호를 차례로 소정수의 신호선에 공급하는 복수의 드라이버 IC를 가지며, 특히 상기 액정표시장치에서는 각 드라이버 IC가 화소데이터 신호와 함께 다음단계에서 출력되는 클럭 신호의 위상오차를 수정하는 클럭 파형 생성회로를 갖는 것을 특징으로 한다.

도면

도 1

도 2

도면의 주요부분에 대한 설명

도 1은 종래의 액정표시장치의 신호선 드라이버의 구조를 개략적으로 도시한 블록도,

도 2는 본 발명의 한 실시예에 관한 액정표시장치를 개략적으로 도시한 평면도,

도 3은 도 2에 도시한 신호선 드라이버의 구조를 개략적으로 도시한 블록도,

도 4는 도 3에 도시한 각 드라이버 IC의 구성을 상세하게 도시한 회로도,

도 5는 도 4에 도시한 듀티 사이클 레귤레이터로서 사용되는 PLL(Phase Locked Loop) 회로의 구성을 도시한 회로도,

도 6은 도 5에 도시한 전압제어 가변파수 발진회로의 구성을 도시한 회로도,

도 7은 도 6에 도시한 전압제어 가변주파수 발진회로의 동작을 도시한 타이밍차트,

도 8은 도 4에 도시한 듀티 사이클 레귤레이터로서 사용되는 DLL(Delay Locked Loop)회로의 구성을 도시한 회로도,

도 9는 도 8에 도시한 전압제어 지연회로의 구성을 도시한 회로도,

도 10은 도 8에 도시한 DLL회로의 동작을 도시한 타이밍차트,

도 11은 도 3에 도시한 드라이버 IC가 어레이 기판상에 장착되었을 때의 배선상태를 도시한 사시도,

도 12는 도 3에 도시한 이동 배선을 전원 라인에도 적용하는 경우에 각 드라이버 IC에 부가되는 전압 안정화 회로를 설명하기 위한 회로도 및

도 13은 도 12에 도시한 전압안정회로를 갖는 드라이버 IC가 여러미 기판상에 장착되었을 때의 배선상태를 나타내는 사시도이다.

*도면의 주요 부분에 대한 부호의 설명

- | | |
|--------------|-----------------|
| 1: TFT | 2: 입력패드부 |
| 4: 제1 버퍼앰프 | 6: 듀티 사이클 레귤레이터 |
| 7: 제 2 래치회로 | 10: 미동배선 |
| 20: 액정표시장치 | 22: 액정패널 |
| 23: 신호선 드라이버 | 24: 주사선 드라이버 |
| 25: 인터페이스 | |

불멸의 삼세왕 세종

연구의 목적

모방이 속하는 기술 앞 그 분야의 존재가치

본 발명은 복수의 액정화소가 매트릭스형상으로 배치되는 액정표시장치에 관한 것으로 특히 화상을 표시하기 위해 이 액정화소의 전압을 제어하는 표시제어회로에 관한 것이다.

하기 위해 이 역점화소의 전압을 제어하는 표시제어회로에 같은 것이나, 일반적으로 액티브 매트릭스형의 액정표시장치는 액정층이 여러이 기판 및 대향기판 사이에 유지되는 역점배열을 갖는다. 여러이 기판 및 대향기판의 각각은 투명한 유리판을 베이스로 하여 형성되고 역점층은 여러이 기판과 대향기판의 둘레에 형성되는 액정 조질층으로 구성된다. 여러이 기판은 복수의 화소전극의 매트릭스 어레이와, 이 화소전극이 행을 따라서 각각 형성되는 복수의 주사선과 이 화소전극의 열을 따라서 각각 형성되는 복수의 신호선과, 이 주사선 및 신호선의 교차위치 가까이에 각각 형성되어 각각 1주사선으로 복수의 선택신호에 응답하고 1신호선을 1화소전극에 전기적으로 접속되는 스위칭 소자로서 기능하는 복수의 박막 트랜지스터(TFT)와, 선택신호를 복수의 주사선 각각에 공급하는 주사선 드라이버와, 화소데이터 신호를 복수의 신호선에 공급하는 신호선 드라이버를 구비한다. 상기 액정표시장치에서는 화상이 이 화소전극 및 공통전극 간의 전위차에 대응하여 표시된다.

이 화소전극 및 공통전극 간의 전위차에 대응하여 표시된다.

예를 들어, 신호선 드라이버는 도 1에 도시한 바와 같이 배열되는 복수의 드라이버 IC로 구성된다. 이 드라이버 IC는 전원라인(VDD), 전원라인(GND), 데이터 라인(DATA), 제어신호라인(ONT)을 포함하는 공통 버스를 포함한다. 데이터 라인과 공통 버스에 연결되는 데이터 스위치는 데이터 라인과 공통 버스에 연결되는 드라이버 IC에 연결된다. 이 공통 버스는 데이터 라인과 함께 액정 패널의 외부 플레에 인접하는 드라이버 기판 상에 배치된다.

그러나, 상술한 드라마버 기판을 갖는 액정표시장치에서는 보다 큰 화면 크기 또는 보다 높은 해상도를 얻기 위하여 액정패널의 대두리 크기를 증대시킬 필요가 생긴다. 이 때문에, CGP(Cap On Glass) 장착 기술이 드라마버 기판에 불필요하게 하기 위해 제안되고 있다. 이 기술에서는 박막 채널이 아래에 기판의 유리 표면에 노출된 접속단자에 연결하여 형성되고 복수의 드라마버 IC의 베어칩(bare chip)이 이 박막 채널에 탑재된다.

과 배선에 단말된다.

그러나, 현재의 CGE 작화 기술로 형성되는 박막배선은 비교적 높은 저항값을 갖기 때문에 배선의 폭을 좁게 하는 것이 어렵다. 이것은 액정패널의 테두리 크기를 증대시키는 요인이 된다. 또한, 액정패널의 제조에 있어서는 일반적으로 특성의 어려움이 가장 1장의 유리판으로 제조된다. 즉, 각 어레이 기판의 컴퍼넌트는 정해진 크기에서 유리판으로부터 구획하여 얻어지는 한 영역으로 형성된다. 모든 박막배선 어레이 기판에 배치되는 정해진 크기에서 각 어레이 기판의 점유 면적이 증가되어 보다 큰 유리판이 필요하다. 다시 말하면, 1장의 유리판은 본부에서 얻어지는 어레이 기판수가 감소된다. 이것은 액정패널의 제조비용을 증대시키는 결과와 된 수 있다. 또한, 광을 버스라인에 대항하는 필라 배선만을 외부의 프린트 배선판에 형성하는 것도 생각할 수 있지만, 이 프린트 배선판의 미세화가 비효율적 증대시킬 무렵도 있다. 예를 들어, 광을 버스라인이 길어져서, 이것이 전송손실의 영향을 미치기 때문에 배선폭을 증가시켜 고속의 신호전송을 어떻게 한다. 또한, 이 필요 효율한 전압이 이 프린트 배선판 상의 광을 버스라인으로부터 복사되기 쉬워진다. 따라서, 이 불필요한 전압의 복사를 감소시키기 위해 색소층 또는 차단저항을 줄데없이 설치해서도 안된다.

또한, 테두리 크기 및 제조비용의 증대를 방지하기 위해 복수의 드라이버 IC를 OLED 장치기술에 의해 여러 개가 판상에 형성하고 이 드라이버 IC사이에서 이동 배선의 박막을 형성하는 것도 생각할 수 있다. 이동 배선은 이 드라이버 IC를 캐스캐이드 접속하고, 각 드라이버를 경유한 신호를 전송한다. 그러나, 이와 같은 구조에서는 클럭 주파수가 5% 정도의 낮은 신호전송속도밖에 얻어지지 않는다. 실제로 의하면, 클럭신호 속도의 필수폭이 1개의 드라이버 IC를 통과할 때마다 최악의 경우 40ns 저하된다. 따라서, 정상적인 신호 전송을 확보하기 위해서는 캐스캐이드 접속되는 드라이버 IC의 수를 최대 10개 정도로 제한해야 한다.

브레이 어투교차하는 기술력 존재

본인이 어투교차하는 기술적 문제
본인의 표현의 특징을 테두리끼기 및 제비용을 불필요하게 증대시키지 않고 보다 큰 화면 크기 또는 보다 많은 정보를 얻을 수 있는 액정표시장치를 제공하는 데에 있다.

உறுது குங ளு னு

본 발명에 의하면, 복수의 역정화소의 매트릭스 어레이, 상기 역정화소의 행을 따라서 형성되는 복수의
사선, 및 상기 역정화소의 열에 대응하여 형성되는 복수의 신호선을 갖는 역정화소판, 상기 주사선의
각각을 통하여 행의 역정화소를 선택하고 복수의 신호선을 통하여 조별행의 역정화소의 전압을 제어하는

표시제어회로를 구비하며, 이 표시제어회로는 복수의 신호선을 차례로 구동하는 신호선 드라이버를 포함하고 이 신호선 드라이버는 적어도 클럭 신호 및 화소데이터 신호를 전송하는 이동 배선에 의해 캐스캐이드 접속되고 각각 클럭 신호에 동기하여 화소 데이터 신호를 차례로 소정수의 신호선에 공급하는 복수의 드라이버 IC를 갖고, 각 드라이버 IC는 화소데이터 신호와 함께 다음단계에서 출력되는 클럭 신호의 듀티비를 적정화하는 파형 정형 회로를 갖는 액정표시장치가 제공된다.

이 액정표시장치에서는 각 드라이버 IC의 파형정형회로가 클럭신호의 듀티비를 적정화하므로, 이 드라이버 IC 수의 증대에 관계없이 전송능력을 유지할 수 있다. 예를들어, 복수의 드라이버 IC가 003 장치에 의해 액정패널에 조합되어 고정할 박막의 이동 배선으로 캐스캐이드 접속되는 경우에 있어서, 액정패널의 테두리 크기 및 제조비용을 불필요하게 증대시키지 않기 때문에 이동 배선의 폭을 좁게 유지해도 정성적인 신호전송이 가능해진다.

구체적으로는 액정표시장치는 클럭 주파수가 25MHz로부터 60MHz 정도의 높은 신호전송속도를 얻을 수 있다. 따라서, 보다 큰 화면 크기 또는 보다 높은 해상도를 얻기 위한 10개 이상의 드라이버 IC를 캐스캐이드 접속할 수 있다.

이하 본 발명의 한 실시예에 관한 액티브 매트릭스형 액정표시장치를 도면을 참조하여 설명한다.

도 2는 이 액정표시장치(20)의 평면 구조를 개략적으로 도시한다. 액정표시장치(20)는 액정층이 여러 이 기판 및 대향기판 사이에 유지되는 액정패널(22)과, 이 액정패널(22)의 액정화소의 전압을 제어하는 표시 제어회로를 갖는다. 여러 이 기판 및 대향기판의 각각은 투명한 유리판을 베이스로 하여 형성되고 액정층은 여러 이 기판과 대향기판의 틈에 충전되는 액정소성물로 구성된다. 여러 이 기판은 복수의 화소전극의 매트릭스 배열과, 이 화소전극의 행을 따라서 각각 형성되는 복수의 주사선과, 이 화소전극의 열을 따라서 각각 형성되는 복수의 신호선과, 이 주사선 및 신호선의 교차위치 가까이에서 각각 형성되고 스위칭 소자로서 기능하는 복수의 박막트랜지스터(TFT)를 구비한다. 각 TFT(1)는 주사선에 접속되는 게이트와 1 신호선 및 1 화소 전극에 접속된 커런트 패스를 갖고 주사선으로부터의 선택신호에 응답하여 신호선을 화소전극에 전기적으로 접속하기 위해 사용된다. 표시제어회로는 외부의 액정컨트롤로부터 공급되는 전원 전압, 화소데이터신호, 클럭신호, 그 밖의 제어신호를 입력하는 인터페이스부(25)와, 인터페이스부(25)로부터의 전원전압 및 제어신호를 받고 이 제어신호의 제어에 의해 선택신호를 복수의 주사선에 차례로 공급하는 동작을 전원전압 하에서 실시하는 주사선 드라이버(24)와, 인터페이스부(25)로부터 입력되는 전원 전압, 화소데이터 신호, 클럭신호 및 제어신호를 받고 제어신호의 제어에 의해 클럭신호에 동기하여 화소 데이터 신호를 복수의 신호선에 차례로 공급하는 동작을 전원전압 하에서 실시하는 1쌍의 신호선 드라이버(23)를 구비한다. 이 드라이버(23, 24)는 액정패널(22)의 외부 둘레에 인접하여 배치되는 드라이버 기판(23)에 각각 형성된다. 주사선 드라이버(24)는 복수의 주사선에 접속되고 1쌍의 신호선 드라이버(23)는 각각 홀수번째의 신호선 및 짝수번째의 신호선에 접속된다. 이 액정표시장치에서는 하상이 액정화소의 매트릭스 배열을 구성하기 위해 액정층을 통하여 대향하는 복수의 화소전극 및 공통전극간의 전위차에 대응하여 표시된다.

도 3은 신호선 드라이버(23)의 구조를 개략적으로 도시한다. 각 신호선 드라이버(23)는 도 3에 도시한 바와 같이 배열되는 복수의 드라이버 IC(1)로 구성된다. 복수의 드라이버 IC(1)는 이것을 따라서 형성되는 전원 라인(VDD) 및 전원라인(GND)에 공통으로 접속됨과 동시에, 이 드라이버 IC(1) 사이에 형성되는 이동 배선(10)에 의해 캐스캐이드 접속되는 반도체 배어칩이다. 이 이동 배선(10)은 각 드라이버 IC(1)를 결유하여 화소데이터신호, 클럭신호, 및 여러 제어신호를 전송하기 위해 사용된다. 각 드라이버 IC(1)는 이 신호를 입력 패드부(2)를 통하여 받고, 제어신호의 제어에 의해 클럭신호에 동기하여 화소데이터 신호를 차례로 소정수의 신호선에 공급하고 또한, 클럭 패드부(3)로부터 다음단계의 드라이버 IC(1)에 출력하기 위해 이 신호를 파형 정형한다. 또한, 복수의 드라이버 IC(1)에 배어칩은 드라이버 기판에서 전원 라인(VDD 및 GND)과 함께 절연층으로 피복된다.

도 4는 각 드라이버 IC(1)의 구성을 상세하게 도시한다. 이동 배선(10)은 클럭 신호를 전송하는 클럭 라인(CLK), 화소데이터 신호를 전송하는 복수의 데이터 라인(DATA), 제어신호를 전송하는 복수의 제어 라인(CNT)으로 구성된다. 드라이버 IC(1)는 각각 클럭라인(CLK), 데이터라인(DATA), 제어라인(CNT)을 통하여 입력패드부에 공급되는 신호를 출력하는 제 1 버퍼앰프(4), 이 제 1 버퍼앰프(4)로부터 출력되는 화소데이터 신호 및 제어신호를 제 1 버퍼앰프(4)로부터 출력되는 클럭신호에 응답하고 동시에 래치(latch)하는 제 1 래치회로(5), 버퍼앰프(4)로부터 출력되는 클럭신호에 대해서 듀티비를 적정화하는 듀티사이클 레귤레이터(6), 제 1 래치회로(5)로부터 출력되는 화소데이터 신호를 제 1 버퍼앰프(4)로부터 출력되는 클럭신호에 동기하여 차례로 소정수의 신호선에 공급하는 제어 로직(CT), 제 1 래치 회로(5)로부터 출력되는 화소데이터 신호 및 제어신호를 듀티사이클레귤레이터(6)로부터 출력되는 클럭신호에 응답하고 동시에 래치하는 제 2 래치회로(7), 및 제 2 래치회로(7)로부터 출력되는 화소데이터신호 및 제어신호 및 듀티사이클레귤레이터(6)로부터 출력되는 클럭신호를 출력패드부(3)로 공급하는 제 2 버퍼앰프(8)를 구비한다.

즉, 화소데이터신호, 클럭신호, 및 여러 제어신호는 입력패드부(3)로부터 드라이버 IC(1)의 내부에 공급되고, 2개의 전송계로에 배치된다. 한쪽의 전송계로는 이 신호를 제어로직(CT)에 공급하기 위해 사용되고, 다른쪽의 전송계로는 이 신호를 파형 정형하고 후단의 드라이버 IC(1)에 출력 패드부(3)에 공급하기 위해 사용된다. 제어로직(CT)은 예를 들어 제어신호로서 공급되는 스타트 펄스를 로직 신호에 동기하여 시프트함으로써 차례로 소정수의 신호선을 선택하는 시프트레지스터 회로 및 이 시프트레지스터 회로에 의해 선택되는 신호선을 화소데이터 신호에 대응하는 전압에 설정하는 출력회로로 구성된다. 화소데이터 신호 선택되는 신호선을 화소데이터 신호에 대응하는 전압에 설정하는 출력회로로 구성된다. 화소데이터 신호 및 제어신호는 래치회로(5, 7)로 파형 정형되고 클럭신호는 듀티사이클레귤레이터(6)에 의해 파형정형된다. 래치회로(5, 7)에서는 화소데이터 신호 및 제어신호가 클럭신호의 타이밍을 기준으로 하여 래치되고, 전송에 의한 신호 변형을 수복한다. 듀티사이클레귤레이터(6)에서는 예를 들어, 클럭신호의 전압의 평균값에 일정한 차를 추가하면서 클럭신호를 평형함으로써 클럭신호의 듀티비를 거의 1:1로 유지하여 다음단계의 드라이버 IC(1)로 출력하도록 동작한다.

듀티사이클레귤레이터(6)는 예를 들어 도 5에 도시한 바와 같은 PLL회로를 사용하여 구성된다. 이 PLL회로는 에지(edge)동작 주파수 위상비교회로(6A), 로우패스필터(6B), 및 전압제어 가변주파수 발전회로(6C)

를 갖는다. 예지동작 주파수 위상비교회로(6A)는 버퍼앰프(4)로부터의 입력 클럭신호와 발전회로(6C)로부터의 출력클럭신호의 위상을 비교하고 위상차에 기초하여 오차 전압을 발생시킨다. 이 오차전압을 제어전압으로서 로우패스필터(6B)를 통하여 발전회로(6C)에 공급되고 출력 클럭 신호의 위상을 시프트시킨다.

상술한 전압제어 가변주파수 발전회로(6C)는 예를 들어 도 6에 도시한 바와 같이 직렬로 접속된 복수의 CMOS 인버터를 포함한다. 이 CMOS 인버터는 로우패스 필터(6B)로부터 공급되는 제어전압에 의해 바이어스되어 출력단 P1-P8, PF의 방전전류를 조정하는 MOS트랜지스터를 포함하고 최종단의 CMOS 인버터의 출력단(PF)은 출력클럭신호를 피드백하기 위해 선도의 CMOS 인버터의 입력단에 접속된다. 이에 의해 모든 CMOS 트랜지스터는 도 7에 도시한 바와 같은 출력 클럭 신호를 주기적으로 출력단 P1-P8, PF로부터 발생한다. 이 출력클럭신호의 위상은 제어전압의 변화에 추종하여 일정한 비율로 변화한다.

또한, 듀티사이클레귤레이터(6)는 예를 들어 도 8에 도시한 바와 같은 DLL 회로를 사용하여 구성된다. 이 DLL 회로는 1/2분주회로(6F), 배타적인 논리합(6G), 전압제어지연회로(6H), 곱셈형 위상비교회로(6I), 및 로우패스필터(6J)를 갖는다. 1/2분주회로(6F)는 버퍼앰프(4)로부터의 입력클럭신호를 1/2로 분주하고 배타적 논리합(6G), 전압제어지연회로(6H), 및 곱셈형 위상비교회로(6I)에 공급된다. 지연회로(6H)는 분주회로(6F)로부터의 클럭신호를 지연시키고 위상비교회로(6I) 및 배타적 논리합(6G)에 공급된다. 위상비교회로(6I)는 분주회로(6F)로부터의 클럭신호와 지연회로(6H)로부터의 클럭신호를 비교하고 위상차에 기초하여 오차전압을 발생한다. 이 오차전압은 지연시간을 증감시키는 제어전압으로서 로우 패스필터(6J)를 통하여 지연회로(6H)에 공급된다. 배타적 논리합(6G)은 분주회로(6F)로부터의 클럭신호와 지연회로(6H)로부터의 클럭 신호의 배타적 논리합에 대응하는 출력클럭신호를 발생한다.

전압제어지연회로(6H)는 예를 들면, 도 9에 도시한 바와 같이 직렬로 접속된 복수의 CMOS 인버터를 포함한다. 이 CMOS 인버터는 로우 패스필터(6J)로부터 공급되는 제어전압에 의해 바이어스되어 각각의 출력단의 방전전류를 조정하는 MOS 트랜지스터를 포함하고, 1/2분주회로(6F)로부터의 클럭신호가 선도의 CMOS 인버터의 입력단에 공급된다. 이에 의해, 모든 CMOS 트랜지스터는 출력클럭신호를 주기적으로 각각의 출력단으로부터 발생한다. 이 출력클럭 신호의 위상은 제어전압의 변화에 추종하여 일정한 비율로 변화된다.

상술한 DLL 회로에서는 1/2분주회로(6F), 배타적 논리합(6G), 전압제어 지연회로(6H), 곱셈형 위상비교회로(6I), 및 로우 패스필터(6J)의 출력(S1-S6)이 도 10에 도시한 바와 같이 변화된다. 그 결과, 클럭신호의 듀티비가 거의 1:1로 유지되어 다음단계의 드라이버 IC(1)로 출력된다.

본 실시예의 액정표시장치에 의하면, 화소데이터신호의 변형을 감소시키면서 클럭신호의 타이밍이 적절화되므로, 드라이버 IC(1)의 수의 증대에 관계없이 신호전송능력을 유지할 수 있다. 또한, 이 액정표시장치는 이동 배선(10)을 사용하여 화소데이터 신호, 클럭신호, 및 여러 제어신호를 전송하여 신호전송에 필요한 배선영역을 감소시킬 수 있다. 따라서, 테두리크기 및 제조비용을 불필요하게 증대시키지 않고 보다 큰 화면 크기 또는 보다 높은 해상도를 얻는 것이 가능해진다.

또한, 상술한 실시예에서는 신호선 드라이버(23)의 드라이버 IC(1)가 드라이버 기판에 형성되었지만, 도 11에 도시한 바와 같이 COB 장착기술에 의해 여러 기판(9)의 외부 플레상에 형성하고 이 드라이버 IC(1) 사이에 이동배선(10)의 박막을 형성할 수 있다. 이 이동 배선(10)은 이 드라이버 IC(1)를 캐스캐이드 접속하고 각 드라이버 IC(1)를 경유하여 화소데이터신호, 클럭신호, 및 여러 제어신호를 전송한다. 이 경우, 액정표시장치는 클럭주파수가 25MHz에서 65MHz 정도의 높은 신호전송속도를 얻을 수 있다. 따라서 보다 큰 화면 크기 또는 보다 높은 해상도를 얻기 위해 10개 이상의 드라이버 IC를 캐스캐이드 접속할 수 있다.

또한, 이동 배선은 신호선 드라이버(23)뿐만 아니라 주사선 드라이버(24)에도 적용해도 좋다.

또한, 상술한 실시예는 복잡화를 피하기 위해 전원 라인(VDD 및 GND)을 통하여 드라이버 IC(1)의 회로 컴퍼넌트에 공통으로 공급되는 전원전압에 대해서만 설명하지만, 실제로는 이 공통인 전원전압 외의 화소데이터 신호에 대응하는 화소전극용 구동전원전압 및 공통 전극용 기준전원전압도 필요해진다.

액정패널(20)의 외형크기 및 배선저항에 의한 전압강하가 비교적 작은 경우에는 이동 배선(10)이 이 전압전압을 공급하는 전원라인에 대해서도 적용할 수 있다. 이 경우, 도 12에 도시한 바와 같이 전압안정회로(12)가 전원입력 패드부(11) 및 전원출력패드부(13)와 함께 각 드라이버 IC(1)에 부가된다. 여러 전원전압은 전원입력 패드부(11)를 통하여 드라이버 IC(1)에 입력되고 버퍼앰프(4) 래치회로(5), 듀티사이클레귤레이터(6), 래치회로(7), 버퍼앰프(8), 및 제어로직(C7)과 같은 회로 컴퍼넌트에 공급되고 동시에 전압안정회로(12)에 공급된다. 이 전원전압은 전압안정회로(12)로 각각 안정화되고 전원출력패드부를 통하여 다음단계의 드라이버 IC에 출력된다. 또한, 상술한 전압안정회로(12)는 각 드라이버 IC(1)에서 각 전원전압마다 독립적으로 설치해도 좋다.

제2의 실시예

상술한 전압안정회로(12)를 각 드라이버 IC(1)에 조합하고 이동 배선(10)이 클럭신호, 화소데이터신호, 그 밖의 제어신호를 신호라인에 더하여 모든 전원라인을 포함하도록 구성되면, 외부 버스라인에 의한 전원전압을 공급하기 위해 외부 버스라인을 사용하는 경우보다 신호 드라이버(23)의 배선영역을 감소시킬 수 있다.

또한, 복수의 드라이버 IC(1)가 입력패드부(2) 및 전원입력패드부(11)를 한쪽의 단면에 배치함과 동시에 출력패드부(3) 및 전원출력패드부(13)를 다른쪽의 단면에 배치한 종횡비 1:5 이상의 직사각형 형상을 갖고, COB 장착기술로 도 13에 도시한 바와 같이 여러 기판(9)의 외부 플레에 배열하면 이동 배선(10)이 거의 직선적이 되고 드라이버 IC(1)의 간격도 효과적으로 감소시킬 수 있다.

또한, 본 실시예에서는 이동 배선을 수지필름상에 형성한 이동 배선층(100)을 각 드라이버 IC 사이에 배치하고 드라이버 IC 간의 전기적 접속을 실시하고 있다. 수지필름으로서는 예를 들어, 폴리이미드 필름 등의 절연시트필름을 사용할 수 있다.

만약, 액정패널(22)의 외형 크기 및 배선저항에 의한 전압강하가 비교적 큰 경우에는 화소전극을 구동전원전압 및 공통 전극용 기준전원전압만 외부의 공통 배스라인을 사용하여 각 드라이버 IC에 직접 공급하면 된다. 이와 같은 경우에도 외부의 공통 배스라인의 라인 수는 감소된다. 즉, 많은 영역이 이 공통 배스라인에 의해 점유되지 않으므로, 테두리크기의 종대를 억제할 수 있다.

상술한 변형예에서는 신호선 드라이버 IC(1)가 권력외부 배스라인을 사용하지 않고 신호 전송하도록 구성된다. 복수의 드라이버 IC(1)가 이동 배선에 의해 캐스케이드 접속되는 경우, 전송신호가 각 드라이버 IC(1)를 경유할 때마다 변형되지만, 이 변형은 각 드라이버에서 전송신호의 파형정형을 실시함으로써 해소된다. 따라서, 드라이버 IC(1)의 수가 전송신호에 발생하는 변형 때문에 제약되지 않는다.

또한, 전압안정회로(12)가 각 드라이버 IC(1)에 설치되고 드라이버 IC(1)의 외부 요인에서 생기는 전압변동 및 드라이버 IC(1)의 내부부하에 의해 발생하는 전압변동에 대해서 전원전압을 안정적으로 유지한다. 이에 의해, 전원전압의 공급에 대해서도 공통 배스라인 대신 이동 배선을 이용할 수 있게 된다.

(57) 청구의 범위

청구항 1. 복수의 액정화소의 매트릭스 어레이, 상기 복수의 액정화소의 행을 따라서 형성되는 복수의 주사선, 및 상기 복수의 액정화소의 열에 대응하여 형성되는 복수의 신호선을 갖는 액정패널과,

상기 복수의 주사선의 각각을 통하여 1행의 액정화소를 선택하고 상기 복수의 신호선을 통하여 선택행의 액정화소의 전압을 제어하는 구동회로를 구비하고,

상기 구동회로는 상기 복수의 신호선을 차례로 구동하는 신호선 드라이버를 포함하고, 상기 신호선 드라이버는 적어도 클럭 신호 및 표시신호를 전송하는 이동 배선에 의해 캐스케이드 접속되고 각각 클럭 신호에 동기하여 표시신호를 차례로 소정수의 신호선에 공급하는 복수의 드라이버 IC를 갖고, 각 드라이버 IC는 다음단계의 드라이버 IC에 출력되는 클럭신호의 듀티비를 조절하여 클럭신호파형을 정형하는 클럭 파형정형회로를 갖는 것을 특징으로 하는 액정표시장치.

청구항 2. 제 1 항에 있어서,

상기 액정패널은 상기 복수의 신호선이 형성되는 유리판을 갖고 상기 이동 배선은 상기 유리판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 3. 제 2 항에 있어서,

상기 복수의 드라이버 IC는 상기 이동 배선에 상기 유리판상에서 접속되는 반도체 베어칩인 것을 특징으로 하는 액정표시장치.

청구항 4. 제 1 항에 있어서,

상기 액정패널은 상기 복수의 신호선이 형성되는 유리판을 갖고 상기 이동 배선은 상기 유리기판 상에 배치된 플렉시블 기판상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5. 제 1 항에 있어서,

상기 클럭파형 정형회로는 클럭신호의 듀티비를 1:1로 조정하는 듀티사이클레글레이터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6. 제 1 항에 있어서,

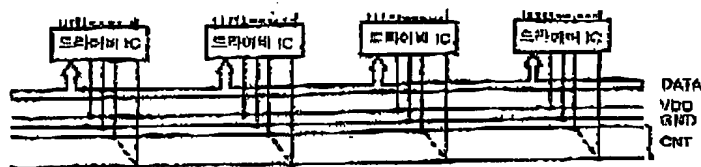
듀티사이클레글레이터는 PLL회로에 의해 구성되는 것을 특징으로 하는 액정표시장치.

청구항 7. 제 1 항에 있어서,

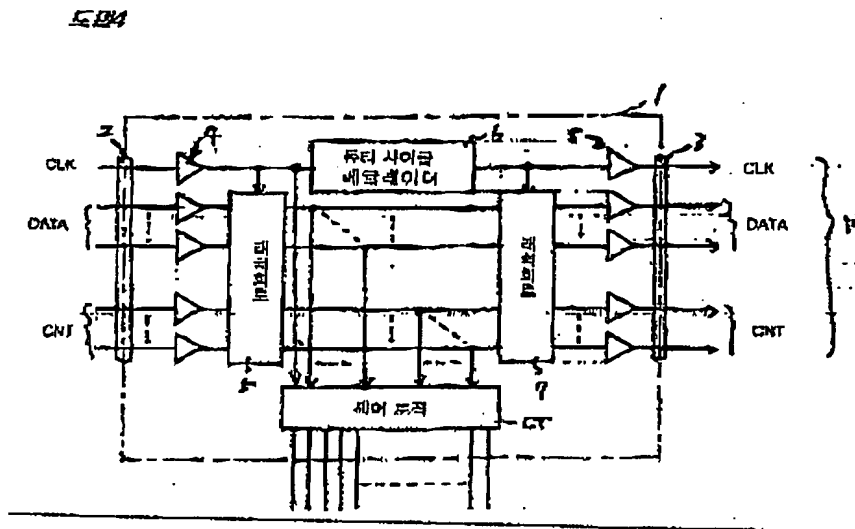
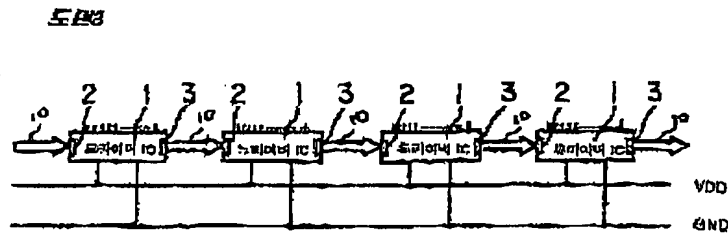
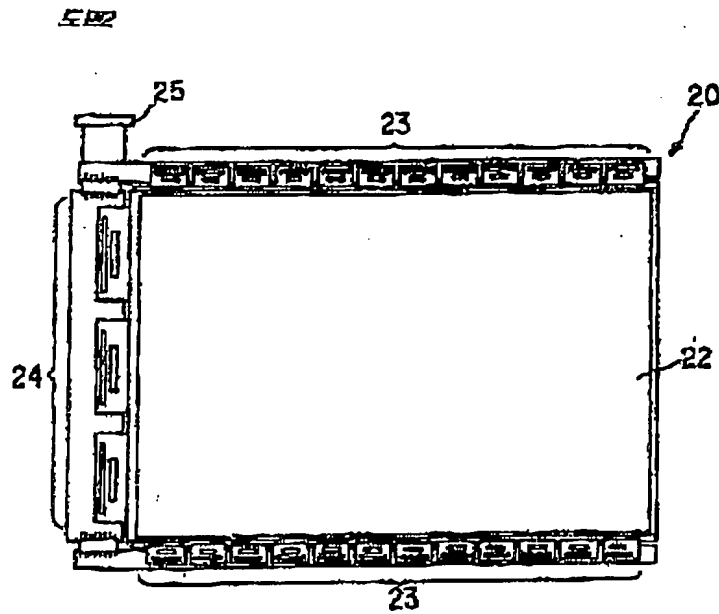
듀티사이클레글레이터는 DLL회로에 의해 구성되는 것을 특징으로 하는 액정표시장치.

도면

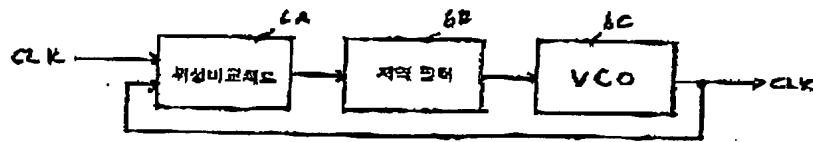
도면1



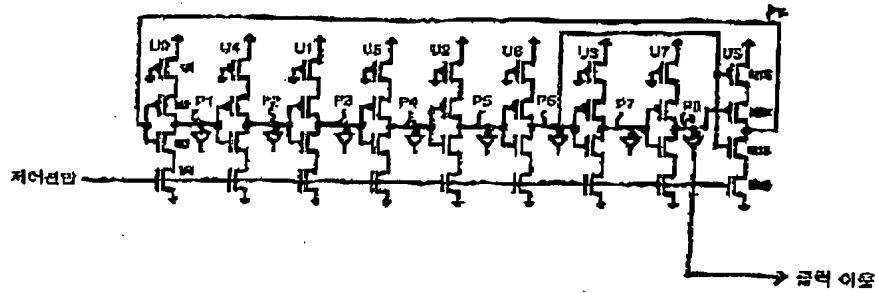
(중대 기술)



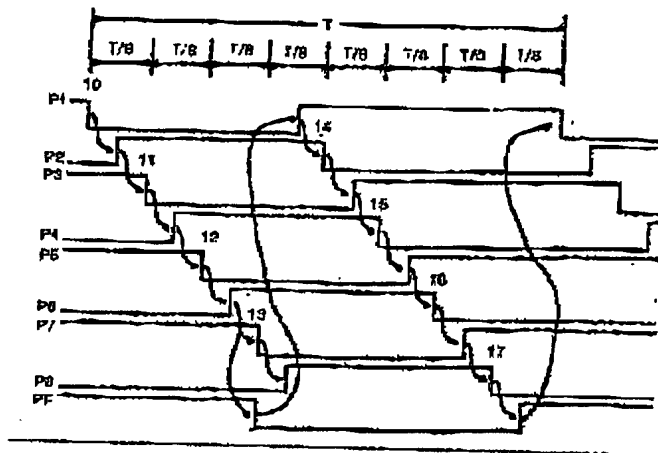
도 85



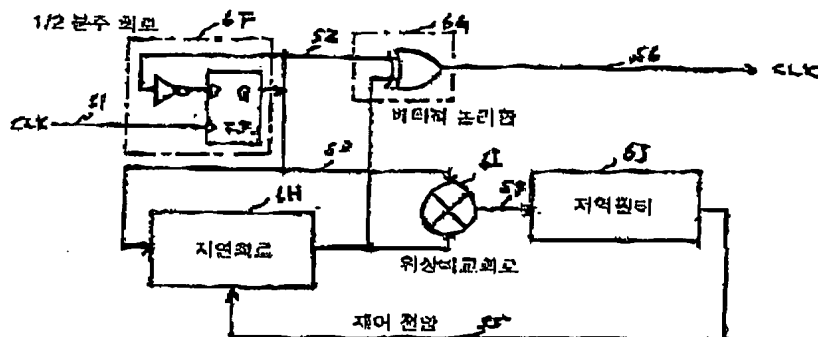
도 86



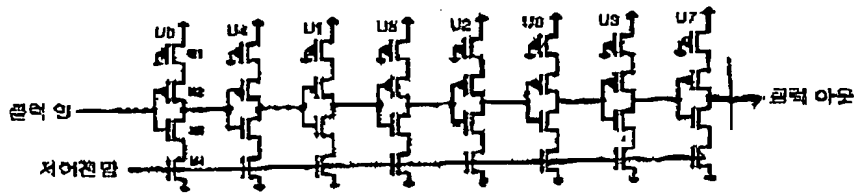
도 87



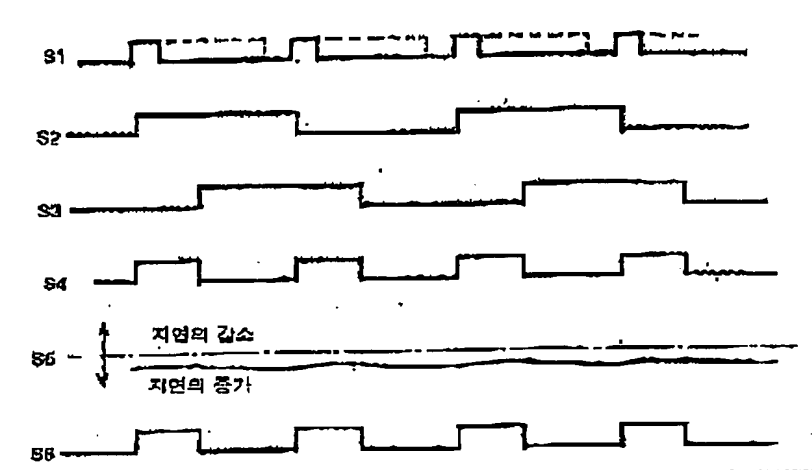
도 88



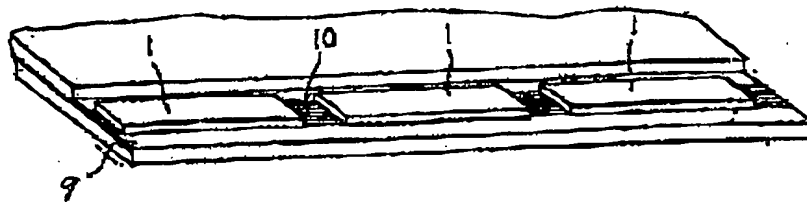
도면9



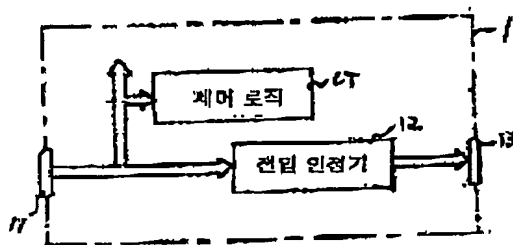
도면10



도면11



도면12



특 1998-025131

도 13

